

硅基完全集成 DC/DC 转换器中多层平面电感设计与建模

李清华, 邵志标, 耿莉

(西安交通大学电子与信息工程学院, 710049, 西安)

摘要: 为提高完全集成低压低功率 DC/DC 转换器转换效率与输出电流能力, 提出了一种多层混联螺旋电感结构. 该结构基于标准 $0.5\ \mu\text{m}$ 2P3M CMOS 工艺, 将下面较薄的两层金属线圈多点并联, 再与最上层金属线圈串联. 多点并联结构有效地增加了等效金属层的厚度, 串联结构增加了线圈之间的互感值, 从而可以在不增加额外工艺成本的条件下显著提高平面电感的品质因数、单位面积电感值和电感线圈的电流承受能力. 所提出的模型为完全集成 DC/DC 转换器的整体电路模拟分析提供了便利基础. 基于 $0.5\ \mu\text{m}$ 2P3M CMOS 硅衬底工艺的模拟计算结果表明, 在 DC/DC 转换器工作频段 $50\sim 400\ \text{MHz}$, 取得了预期电感的设计效果, 最大品质因数值达 4.2, 单位面积电感值达到 $83\ \text{mH}/\text{m}^2$, 可以承受的电流达 90 mA. 电感芯片测试结果与模型模拟结果基本吻合.

关键词: 完全集成 DC/DC 转换器; 多层平面电感; 建模; 品质因数

中图分类号: TN4 **文献标识码:** A **文章编号:** 0253-987X(2007)04-0463-04

Design and Modeling of Multi-Layer Planar Inductor for Fully Integrated DC/DC Converters on Silicon Substrate

Li Qinghua, Shao Zhibiao, Geng Li

(School of Electronics and Information Engineering, Xi'an Jiaotong University, Xi'an 710049, China)

Abstract: In order to improve the conversion efficiency and output current carrying capability of the fully integrated low voltage and low power DC/DC converters, a series parallel multi-layer spiral inductor based on standard $0.5\ \mu\text{m}$ 2P3M CMOS technology was proposed. The paralleled metals contacted by vias array increased the effective metal thickness and the series metals increased the mutual inductance between the layers. Therefore, the quality factor, the inductance in unit area and the current handling capability of the series parallel inductors were observably improved without extra technology. The developed model provides whole circuit analog analysis of fully integrated DC/CD converters with convenient basis. Closed form expressions of lumped parameters were obtained and verified with $0.5\ \mu\text{m}$ CMOS silicon technology. Experiment results show that the maximum quality factor is 4.2, the inductance in unit area is $83\ \text{nH}$ per square millimeter, and the handled current is 90 mA. The model agrees well with measurements in the interesting frequency band, from 50 MHz to 400 MHz.

Keywords: fully integrated DC/DC converter; multi-layer planar inductor; modeling; quality factor

在标准 CMOS 硅基工艺中, 片上平面电感器的性能已经成为制约完全集成 DC/DC 转换器性能提

高和成本控制的瓶颈之一. 具体表现在: ①完全集成 DC/DC 转换器中所需的电感值较高, 通常为十几

纳亨到几十纳亨. 这样, 单层平面螺旋线圈所占的面积非常显著^[1], 而在 CMOS 工艺中, 面积与成本成正比; ②在 CMOS 工艺中实现大电感值的平面螺旋空芯电感, 品质因数低严重限制了 DC/DC 转换器的转换效率^[2]; ③在 CMOS 工艺中, 固定宽度的金属条所能承受的电流大小一定, 而电感线圈的电流承受能力决定了 DC/DC 转换器的输出电流能力.

针对以上问题, 本文设计了一种新型的多层串-并联平面螺旋结构. 该结构中的多点并联结构有效增加了等效金属层厚度, 从而降低了串联电阻并增大了电流处理能力; 串联结构增加了线圈之间的互感值, 从而在不增加额外工艺成本的条件下, 可以显著提高平面电感的品质因数、单位面积电感值和电感线圈的电流承受能力. 同时, 针对此混联结构提出了可扩展等效电路模型, 为完全集成 DC/DC 转换器的整体电路模拟分析提供了便利基础.

1 用于 DC/DC 转换器中的多层平面电感设计

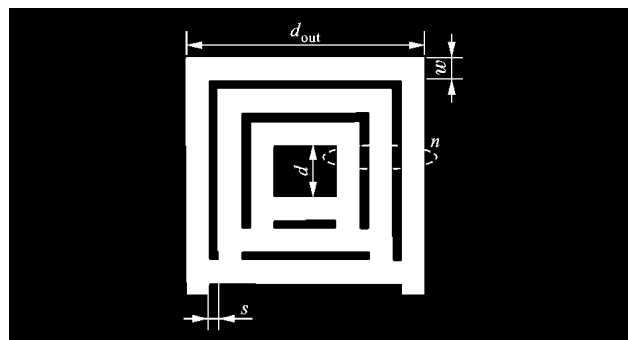
连续工作模式 Buck 转换器中滤波电感器的电感值为^[3]

$$L_f = [V_{out}(1-D)]/(\Delta i_{pp} f_s) \quad (1)$$

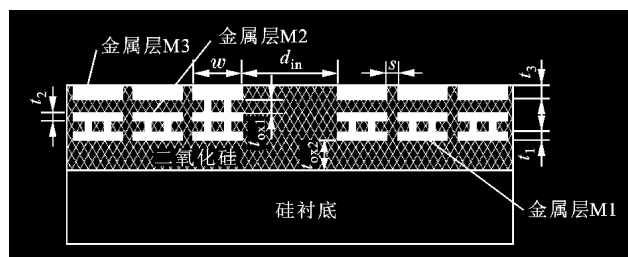
式中: $D = V_{out}/V_{in}$ 为转换器的开关占空比, 其中 V_{in} 、 V_{out} 分别为额定输入、输出电压; Δi_{pp} 为电感线圈中所经过电流的峰-峰值; f_s 为转换器工作频率. 由上式可以看出, 当额定输入、输出电压确定时, 转换器所需电感值与 f_s 及 Δi_{pp} 均成反比, 提高 f_s 和 Δi_{pp} 的值可以有效降低所需电感值, 使得片上平面螺旋线圈能够更容易实现. 但是, 二者的选择又涉及到以下问题: ①当开关频率增大到一定程度时, 开关晶体管的损耗会迅速上升, 从而导致系统的转换效率快速下降^[2]; ②当增大 Δi_{pp} 时, 一方面, 会使 Buck 转换器的工作模式改变, 影响系统的分析、优化与控制, 另一方面, 电感线圈的金属条必须足够宽以承受大的脉冲电流, 而金属条宽度增大后, 在叠层线圈中的寄生电容也会明显增大, 从而降低了片上平面电感器的性能^[4]. 所以, 设计时必须在这些因素中考虑折中.

在 CMOS 工艺中, 通常最上层金属最厚, 约为其他层金属厚度的 2 倍^[5]. 也就是说, 在线宽一定的条件下, 顶层线圈所能承受的电流大小约为其他层线圈的 2 倍, 所以若只是简单地实现多层金属线圈串联以提高电感线圈的品质因数与单位面积内电感

值, 则流经线圈的实际电流大小取决于较薄金属层的线圈. 基于此, 我们设计了串-并联结构的多层螺旋线圈, 如图 1 所示. 在图中, 顶层金属 M3 平均厚度约为 $1.02 \mu\text{m}$, 金属层 M2、M1 厚度均为 $0.58 \mu\text{m}$. 先将 M2 与 M1 并联, 然后再同 M3 串联. 线圈 M2 与 M1 之间的通孔在整个线圈之间均匀分布, 可以有效降低通孔的电阻, 本文采用此通孔阵列, 可以使得通孔的等效电阻忽略不计.



(a) 顶视图



(b) 截面图

d_{in} : 内直径; d_{out} : 外直径; w : 金属条宽度; s : 金属条之间空隙的尺寸; n : 平面电感的圈数; t_1 、 t_2 、 t_3 : 第 1 层、第 2 层、第 3 层金属的平均厚度; t_{ox1} 、 t_{ox2} : 两层金属之间和第 1 层金属同硅衬底之间的二氧化硅厚度

图 1 3 层串-并联结构方形平面螺旋电感示意图

2 集总等效电路模型

图 2 给出了 3 层串-并联结构平面螺旋电感集总等效电路模型. 叠层线圈结构集总等效电路模型中的各参数确定如下.

(1) 电感值的计算: 为方便模型建立后对线圈几何参数进行优化, 各层单个电感值计算的表达式均采用 Mohan 的拟合单项式^[6]

$$L_{sm} = \beta d_{avg}^{\alpha_1} w^{\alpha_2} d_{avg}^{\alpha_3} n^{\alpha_4} s^{\alpha_5}, \quad m = 1, 2, 3 \quad (2)$$

式中: $d_{avg} = 0.5(d_{out} + d_{in})$ 为平均直径; 在方形平面电感中, 拟合系数 $\beta = 0.00162$, $\alpha_1 = -1.21$, $\alpha_2 = -0.147$, $\alpha_3 = 2.40$, $\alpha_4 = 1.78$, $\alpha_5 = -0.03$. 在此设计中各单层线圈的各几何参数值一致.

由于 M2 与 M1 并联线圈之间的连接通孔沿线

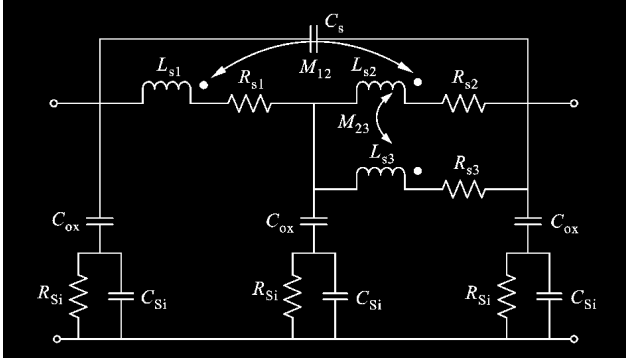


图2 3层串-并联结构方形平面螺旋电感的等效集总电路模型

圈均匀分布,故通孔的寄生电阻与寄生电感可忽略不计,同时两线圈可以视为完全耦合,即两层之间的互感值 $M_{12} = (L_{s1}L_{s2})^{1/2}$,则 M2-M1 并联线圈的电感值为

$$L_{s12} = L_{s1} = L_{s2} \quad (3)$$

整个串-并联线圈的总电感值为

$$L_s = L_{s3} + L_{s12} + 2M_{23} \quad (4)$$

式中: M_{23} 为 M3 金属线圈同 M2、M1 并联线圈之间的互感,表达式如下^[7]

$$M_{23} = 2JP \quad (5)$$

式中: J 为平行金属导线的长度(单位 cm); P 为互感参数

$$P = \ln\left\{\left(\frac{J}{G}\right) + \left[1 + \left(\frac{J}{G}\right)^2\right]^{0.5}\right\} - \left[1 + \left(\frac{J}{G}\right)^2\right]^{0.5} + \left(\frac{J}{G}\right) \quad (6)$$

其中 G 为两导体之间的几何平均距离. 此互感值的具体计算方法见参考文献[8].

(2)寄生电阻:有寄生电阻公式

$$R_s = 2\rho l / [w\delta(1 - \exp(-t/\delta))] \quad (7)$$

式中: ρ 为金属电阻率; l 为每单层线圈的金属线总长度; δ 为趋肤深度; t 为金属层平均厚度. M2 同 M1 并联相当于增大了线圈的有效厚度,则 M2、M1 组成的并联线圈的等效寄生电阻为

$$R_{s12} = 2\rho l / [w\delta(1 - \exp(-(t_1 + t_2)/\delta))] \quad (8)$$

总的寄生电阻公式为

$$R_s = R_{s12} + R_{s3} = \frac{2\rho l}{w\delta} \left[\frac{1}{1 - \exp\left(\frac{-t_3}{\delta}\right)} + \frac{1}{1 - \exp\left(\frac{-(t_1 + t_2)}{\delta}\right)} \right] \quad (9)$$

(3)寄生电容:在并联的 M2、M1 中,平行的上

下线圈在相对应的位置电位基本相同,所以它们之间的寄生电容可忽略不计,但在 M3 同 M2 之间有显著的寄生电容

$$C_s = kw\epsilon_{ox}/t_{ox1} \quad (10)$$

金属层 M1 同衬底之间的寄生电容

$$C_{ox} = kw\epsilon_{ox}/t_{ox2} \quad (11)$$

式中: ϵ_{ox} 为介质二氧化硅的介电常数.

(4)衬底寄生效应:考虑到所设计的片上电感器应用到完全集成 DC/DC 转换器中,工作频率在 500 MHz 以内,故这里将衬底寄生效应忽略不计.

(5)品质因数:品质因数定义为一个周期中磁场能峰值同电场能峰值之差与所损失能量的比值^[9]. 在 0.5 μm 2P3M 中,由于硅衬底的寄生效应基本可以忽略,因此等效串联电容为^[10]

$$C_{eq} = \frac{1}{12}(4C_s + C_{ox}) \quad (12)$$

品质因数的表达式为

$$Q = \frac{\omega L_s}{R_s} \left(1 - \frac{R_s^2 C_{eq}}{L_s} - \omega^2 L_s C_{eq} \right) \quad (13)$$

3 实验结果

所设计的电感器采用 CSMC 0.5 μm 2P3M CMOS 硅基工艺生产,测试工具为网络分析仪与探针台组合装置. 应用了焊盘的短路以及开路去嵌入结构来消除焊盘的寄生效应.

以一个额定输入电压 $V_{in} = 3\text{ V}$ 、输出电压 $V_{out} = 1.5\text{ V}$ 的连续工作模式 Buck 转换器为例,在额定平均输出电流 80 mA 的条件下,工作频率为 350 MHz 时,由式(1)可知,所需电感器的值为 21.6 nH. 本文采用所设计的混联结构,设计了内直径 $d_{in} = 120\text{ }\mu\text{m}$ 、金属条之间空隙 $s = 2\text{ }\mu\text{m}$ 、金属条宽度 $w = 60\text{ }\mu\text{m}$ 、计算电感值为 22.4 nH 的电感器.

图 3 给出了电感器品质因数 Q 的测试数据同模型得到的模拟数据对比曲线. 由图 3 可知,品质因数 Q 随着频率的增大而增大,但频率增大到 350 MHz 后 Q 值反而随频率的上升而下降,这是因为在频率较低时, Q 值主要取决于 $\omega L_s/R_s$,当频率升高到一定值后,式(13)中后两项,即由于寄生电阻和电容的损耗和自谐振产生的影响逐渐显著, Q 值迅速下降.

图 4 给出了电感器的电阻值、电感值同频率的关系. 理论上,电感值 L_s 由导体外部的磁力线决定,即其不随频率变化,但图中所测试的 L_s 却随着 f_s 的增大略有上升,从而也导致了图 3 中 Q 测试值在

200 MHz以后高于模拟值,这是因为随着频率的升高,测试工具中连接线等的寄生效应并不能够如理想条件下完全补偿消除,从而也会对测试结果产生一定的影响.电阻值的误差可能是由导线宽度、厚度和电导率的变化引起的,具体应用中可以在实验数据的基础上对这些参数的表达式做略微修正.

此线圈可以承受 90 mA 的电流,单位面积电感值 $L_{\text{unit}} = L_s/d_{\text{out}}^2 = 83 \text{ mH/m}^2$,可以满足所设计转换器的需要.

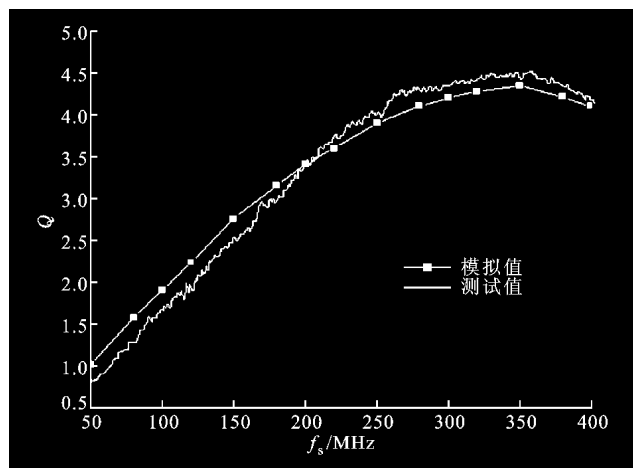


图3 22 nH 电感器的品质因数与频率的关系

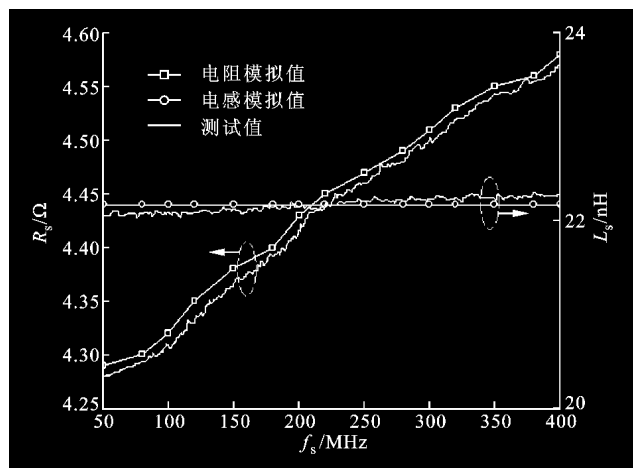


图4 22 nH 电感器的电阻值与电感值同频率的关系

4 结 论

针对硅基 CMOS 完全集成 DC/DC 转换器提出了一种多层叠层平面螺旋电感及其等效电路模型.此串-并联结构的叠层平面螺旋电感结构一方面提

高了转换器的电流输出能力,另一方面在工作频带内(50~400 MHz)提高了平面电感器性能.建立的模型与测试数据符合得很好.本文所提结构和模型可以为完全集成 DC/DC 转换器等高频电路提供全定制平面螺旋电感器的精确设计.

参考文献:

- [1] Musunuri S, Chapman P L, Zou J, et al. Design issues for monolithic DC-DC converters [J]. IEEE Transactions on Power Electronics, 2005, 20 (3): 639-649.
- [2] Lee J, Hatcher G, Vandenberg L, et al. Evaluation of fully-integrated switching regulators for CMOS process technologies [C]//International Symposium on System-on-Chip. Piscataway, USA: IEEE, 2003:155-158.
- [3] Erickson R W, Maksimovic D. Fundamentals of power electronics [M]. 2nd ed. Norvell: Kluwer Academic Publishers, 2001:15-27.
- [4] Li Qinghua, Geng Li, Shao Zhibiao. Optimum double-layer spiral inductor on silicon substrate designed for monolithic buck converters [C]//Proc of 17th Asia-Pacific Microwave Conference. Piscataway, USA: IEEE, 2005:2156-2159.
- [5] CSMC Technology Corporation. 6S05DPTM-ST [S/OL]. [2006-02-27]. http://www.csmc.com.cn/ca/Document_download1.asp.
- [6] Mohan S S, Hershenson M M, Boyd S P, et al. Simple accurate expressions for planar spiral inductances [J]. IEEE Journal of Solid-State Circuits, 1999, 34 (10): 1419-1424.
- [7] Greenhouse H M. Design of planar rectangular micro-electronic inductors [J]. IEEE Transactions on Parts, Hybrids, and Packaging, 1974, 10 (2):101-109.
- [8] Grover F W. Inductance calculations [M]. New York: D. Van Nostrand Company, Inc., 1946:31-47.
- [9] Long J R, Copeland M A. The modeling, characterization, and design of monolithic inductors for silicon RF IC's [J]. IEEE Journal of Solid-State Circuits, 1997, 32 (3):357-369.
- [10] Zolfaghari A, Chan A, Razavi B. Stacked inductors and transformers in CMOS technology [J]. IEEE Journal of Solid-State Circuits, 2001, 36 (4):620-628.

(编辑 刘杨)